

Receiving PTO

13 JAN 2005

PCT/KR 522372  
696522372  
02701623

KO/KR

29.08.2002

REC'D 01 OCT 2002

WIPO PCT

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 :

Application Number

특허출원 2002년 제 48362 호  
PATENT-2002-0048362

출원년월일 :

Date of Application

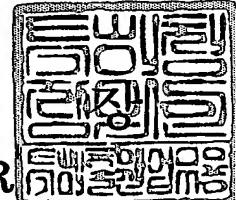
2002년 08월 16일  
AUG 16, 2002

출원인 :

Applicant(s)

한건희 외 2명  
HAN GUN HEE, et al.

2002 년 08 월 29 일



특허청

COMMISSIONER

PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.08.16
【발명의 명칭】	타임 -인터리브 밴드패스 멜타-시그마 변조기
【발명의 영문명칭】	Time-interleaved band-pass M-Σ modulator
【출원인】	
【성명】	한건희
【출원인코드】	4-2000-048167-0
【출원인】	
【성명】	권민호
【출원인코드】	4-2001-019721-0
【출원인】	
【성명】	이정윤
【출원인코드】	4-2002-030520-1
【대리인】	
【성명】	박승민
【대리인코드】	9-1999-000248-5
【포괄위임등록번호】	2000-059313-5
【포괄위임등록번호】	2001-027731-3
【포괄위임등록번호】	2002-063799-0
【발명자】	
【성명】	한건희
【출원인코드】	4-2000-048167-0
【발명자】	
【성명】	권민호
【출원인코드】	4-2001-019721-0
【발명자】	
【성명】	이정윤
【출원인코드】	4-2002-030520-1
【심사청구】	청구

1020020048362

출력 일자: 2002/9/14

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
박승민 (인)

【수수료】

【기본출원료】	18	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】			330,000	원
【감면사유】			개인 (70%감면)	
【감면후 수수료】			99,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

본 발명은 제1가산기와 제2가산기 및 비교기를 포함하며, 각각의 클럭 주파수의 위상이 서로 다른 다수의 블록으로 구성되는 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기로서, 입력신호는 각 블록의 클럭 주파수에 따라 제1가산기로 입력시키고, n번째 블록의 제1가산기의 출력( $u_n$ )은 (n+2)번째 블록의 제1가산기와 제2가산기로 입력시키고, n번째 블록의 제2가산기의 출력( $v_n$ )은 (n+2)번째 블록의 제2가산기로 입력시키며, n번째 블록의 비교기를 통과한 출력( $y_n$ )은 (n+2)번째 블록의 제1가산기와 제2가산기로 입력시키는 구조를 취하여 각 블록의 비교기의 출력을 순차적으로 받아들여 최종 출력( $y$ )을 내보내게 됨으로써 아날로그 입력신호를 디지털 신호로 변환하는 것을 특징으로 한다. 본 발명에 의한 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기에 의하면 클럭 주파수 뿐만 아니라 세틀링 타임(settling-time)의 요구조건도 획기적으로 줄일 수 있어 높은 IF 주파수 대역의 무선통신 시스템에서 A/D 변환을 직접 수행할 수 있는 효과가 있다. 따라서, 무선통신 시스템의 융통성(flexibility)을 증대시키고 비용을 절감할 수 있다.

**【대표도】**

도 3

**【색인어】**

다블록, 밴드패스,  $\Delta-\Sigma$ , 변조기, 클럭주파수, 가산기, 지연기, 비교기

**【명세서】****【발명의 명칭】**

타임-인터리브 밴드패스 텔타-시그마 변조기 {Time-interleaved band-pass  $\Delta-\Sigma$  modulator}

**【도면의 간단한 설명】**

도1a-도1d는 종래기술에 있어서의  $\Delta-\Sigma$  변조기의 구성 예

도2a 및 도2b는 도1b의 변형 회로도

도3은 본 발명의 제1실시예의 구성도

도4는 타이밍 다이어그램을 나타내는 도면

도5는 본 발명의 제1실시예의 A블록의 상세 회로도

도6a 및 도6b는 본 발명의 제2실시예의 구성도

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기에 관한 것이다. 보다 구체적으로는, 클럭 주파수의 위상이 상이한 다수의 블록에 의해  $\Delta-\Sigma$  변조기를 구성하여 하나의 블록에 의해 구성되는  $\Delta-\Sigma$  변조기에 비해 클럭 주파수가 작아지도록 함으로써 높은 IF(intermediate frequency) 주파수 대역에서도 활용할 수 있는 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기에 관한 것이다.

<8>  $\Delta-\Sigma$  변조기는 크게 로우패스(low-pass) 변조기와 밴드패스(band-pass) 변조기로 구별되고, 로우패스 변조기는 주로 오디오용으로 사용되며 밴드패스 변조기는 무선통신 용으로 사용된다. 또한,  $\Delta-\Sigma$  변조기는 도1a와 도1b에 도시된 바와 같이 각각 연속시간 회로와 이산시간 회로로 구현될 수 있다.

<9> 도1b에 도시된 바와 같은 밴드패스  $\Delta-\Sigma$  변조기는 중간 주파수(IF, intermediate frequency)의 4배가 되는 주파수로 샘플링하여 양자화 잡음(quantization noise)을 쉐이핑(shaping)하는 기법이다. 이 구조는 원하는 대역에서 입력신호를 중심으로 잡음이 쇄이핑되기 때문에 원하는 주파수 대역에서 입력신호에 대해 높은 신호대 잡음비(SNR, signal-to-noise ratio)를 가질 수 있는 장점이 있다.

<10> 밴드패스  $\Delta-\Sigma$  변조기는 도1a와 같이 연속시간 회로로 구현될 경우 고주파 대역에서 동작할 수 있다는 장점을 가지고 있으나, 사용자가 중심주파수를 튜닝해야 하는 단점 또한 갖고 있다. 도1b와 같이 이산시간 회로로 구현되는 경우에는 정확성과 신뢰성은 높지만 입력신호보다 4배나 높은 클럭 주파수를 사용하여야 하므로 스위치드-커패시터 (SC, switched-capacitor) 회로로는 실제 사용되는 고주파의 중간 주파수(IF)에서 구현 할 수 없는 한계가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<11> 본 발명은 상기한 바와 같은 종래기술에 있어서의  $\Delta-\Sigma$  변조기의 문제점을 해결하고자 안출된 것으로서, 본 발명의 목적은 클럭 주파수와 세틀링시간 요구조건을 혁신적으로 줄임으로써 신뢰성과 정확성을 확보한 상태에서 무선통신 시스템의 높은 중간 주파수 대역에서 A/D 변환을 직접 수행할 수 있는 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기를 제공하는 것이다.

### 【발명의 구성 및 작용】

#### <12> 발명의 개요

<13> 본 발명은 도1b에 도시된 종래의 이산신호 밴드패스  $\Delta-\Sigma$  변조기와 동일한 기능을 수행하되, 지연기( $z^{-2}$ , 2-delay)없이 다수의 블록을 구성하여 가산기(adder)와 비교기(comparator)만으로  $\Delta-\Sigma$  변조기를 구현하여 클럭 주파수와 세틀링시간(settling time) 요구조건을 블록 수에 따라 줄일 수 있게 하는 것을 기본 개념으로 한다.

<14> 도2a와 도2b는 본 발명에 따른 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기의 구현을 위해 도1b에 도시된 종래의 이산신호 밴드패스  $\Delta-\Sigma$  변조기를 변형한 것이다. 도2a는 도1b와 동일한 기능을 수행함을 알 수 있고, 도2b는 도2a를 다른 각도에서 표현한 것이다.

<15> 도2a와 도2b에 도시된 바와 같이, 입력신호( $x$ )는 제1가산기(11)로 입력되고, 제1가산기(11)의 출력( $u$ )은 지연기(2-delay, 12)를 거쳐 제1가산기(11)와 제2가산기(13)로 피드백된다. 제2가산기(13)의 출력( $v$ )은 지연기를 거쳐 다시 제2가산기(13)로 피드백되는 한편, 비교기(15)를 거쳐 출력신호( $y$ )가 된다. 출력신호( $y$ )는 지연기를 거쳐 제1가산기(11)와 제2가산기(13)로 피드백되는 구성을 취함으로써 아날로그 입력신호( $x$ )는 디지털 출력신호( $y$ )가 된다. 이러한  $\Delta-\Sigma$  변조기는 입력신호보다 4배나 높은 클럭 주파수를 사용하여 샘플링하여야 하기 때문에 스위치드 커패시터 회로로 높은 IF 주파수에서 구현할 수 없다는 단점이 있다는 것은 전술한 바와 같다.

<16> 이러한 단점을 극복하기 위하여 본 발명은 다수의 블록에 의해  $\Delta-\Sigma$  변조기를 구현한 것이다. 각 블록은 도2b에서 지연기들을 제거한 빗금친 부분(20)으로 구성된다. 각 블록의 클럭 주파수는 블록 수에 반비례하여 줄어들고, 클럭 주파수의 위상은 블록마다

주기의 1/5 위상차를 갖는다. 예를 들어, 블록수를 5로 할 경우에 클럭 주파수는 1/5로 줄어든다.

<17> 따라서, 입력신호는 각 블록의 클럭에 따라 제1가산기로 입력시키고, n번째 블록의 제1가산기의 출력( $u_n$ )은 (n+2)번째 블록의 제1가산기와 제2가산기로 입력시키고, n번째 블록의 제2가산기의 출력( $v_n$ )은 (n+2)번째 블록의 제2가산기로 입력시키며, n번째 블록의 제2가산기의 출력( $v_n$ )이 비교기를 통과한 출력( $y_n$ )은 (n+2)번째 블록의 제1가산기와 제2가산기로 입력시키는 구조를 취하며, 블록의 수를 N이라 하면, 각 블록의 입력은 각 블록에 인가되는 클럭의 위상차에 따라 n번째 블록과 (n+1)번째 블록은 주기의 1/N 위상차를 가지고 샘플링된 신호가 인가된다. 각 블록의 비교기의 출력을 순차적으로 받아들여 최종 출력( $y$ )이 됨으로써 아날로그 입력신호를 디지털 신호로 변환시키는 것이다.

<18> 실시예

<19> 이하에서는 첨부된 도면을 참조하여 본 발명에 따른 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기의 바람직한 실시예에 대하여 설명하기로 한다. 도3은 5블록으로 구성된  $\Delta-\Sigma$  변조기의 구성도를 도시한 것이고, 도4(a)는 도1b에 도시한 종래의  $\Delta-\Sigma$  변조기의 타이밍 다이어그램이고, 도4(b)는 도3에 도시된 5블록  $\Delta-\Sigma$  변조기의 타이밍 다이어그램이다. 도5는 도3의 5블록  $\Delta-\Sigma$  변조기에 있어서 스위치드 커패시터(switted capacitor) 회로에 의한 A블록의 구체적인 회로 구성도를 도시한 것이다.

<20> 도3에서 모든 블록은 도2b의 점선으로 둘러쌓인 부분에 의해 구성되고, 모두 동일한 구성을 취한다. 다만, 각 블록의 클럭 주파수의 위상이 다른데, 도4(b)에 각 블록의 클럭 주파수의 위상을 도시하였다. 인접하는 블록의 클럭 주파수는 주기의 1/5 위상차를 갖는다. 각 블록의 클럭 주파수의 위상차이 때문에 각 블록별로 순차적으로 입력신호가 입력되는 것이고, n번째 블록의 가산기 출력이  $\phi_{n,2}$ 에 변화되며 이 때 (n+2)번째 블록의  $\phi_{n+2,2}$  클럭이 시작하기 전까지 정상상태(steady-state)에 도달되면 되므로 세틀링타임 요구조건이 단일블록에 비하여 1/4로, 클럭주파수 요구조건이 1/5로 줄어들면서도 동일한 결과를 얻을 수 있는 것이다.

<21> 도5는 도3의 5블록  $\Delta-\Sigma$  변조기의 스위치드 커패시터에 의한 구체적인 회로 구성도를 도시한 것으로서, 제1가산기(11')와 제2가산기(13') 및 비교기(15')에 의해 구성된다. 도5는 각 블록을 구성하는 구체적인 회로의 일 실시예를 도시한 것으로서 본 발명의 기술적 사상이 도5의 회로에만 한정되는 것은 아니고 당업자의 설계 의도에 따라 다양한 회로로 구현될 수 있을 것이다. 각 블록의 제1가산기에는 각 클럭 주파수의 위상에 따라 입력신호(x)가 순차적으로 입력된다. 또한, A블록의 제1가산기(11)의 출력( $u_A$ )과 제2가산기(13)의 출력( $v_A$ ) 및 비교기(15)의 출력( $y_A$ )은 C블록으로 전달되어, A블록의 제1가산기(11)의 출력( $u_A$ )은 C블록의 제1가산기 및 제2가산기의 입력이 되고, A블록의 제2가산기의 출력( $v_A$ )은 C블록의 입력이 되며, A블록의 비교기(15)의 출력( $y_A$ )은 C블록의 제1가산기 및 제2가산기의 입력이 된다.

<22> 이러한 방법으로, A블록의 출력값( $u_A, v_A, y_A$ )은 C블록으로 전달되어 입력되고, B블록의 출력값( $u_B, v_B, y_B$ )은 D블록으로 전달되며, C블록은 E블록으로, 또한 D블록은 A블록으로, E블록은 B블록으로 전달되는 구조를 취한다.

- <23> 결과적으로 도3에 도시된 5블록  $\Delta-\Sigma$  변조기의 출력값( $y$ )은 도1b의 종래의 밴드패스  $\Delta-\Sigma$  변조기와 출력값과 동일하다. 다만, 도4(a) 및 (b)에 도시된 바와 같이, 5블록  $\Delta-\Sigma$  변조기는 종래의 단일블록  $\Delta-\Sigma$  변조기에 비해 클럭 주파수가 1/5로 줄어들고, 세틀링시간(settling time)도 1/4이 되어 스위치드 커패시터 회로로 실용적인 중간 주파수(IF)에서도 구현할 수 있게 되는 것이다.
- <24> 본 실시예에서는 블록의 수를 5로 하였으나 이에 한정되는 것은 아니다. 7블록, 9블록 또는 그 이상의 블록으로도 구현 가능하다. 블록수가 많아질수록 클럭 주파수와 세틀링시간이 작아지는 장점은 있으나, 회로구성이 복잡해진다는 단점이 있으므로 설계시 합리적인 절충이 요구된다.
- <25> 도6a와 도6b는 본 발명에 따른 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기의 다른 실시 예를 도시한 것이다. 도2a의 2-지연기 대신에 4-지연기( $z^{-4}$ , 4-delay)를 구현하기 위해서  $n$ 번째 블록의 출력값( $u_n, v_n, y_n$ )을  $(n+3)$ 번째 블록의 전달하여 입력시키는 구성을 취한다. 이 경우에는 기본 블록의 수가 9가 되고, 9블록  $\Delta-\Sigma$  변조기는 단일블록  $\Delta-\Sigma$  변조기보다 클럭 주파수가 1/9배, 세틀링시간이 1/8배로 줄어드는 효과가 있다. 이 경우에도 블록의 수는 9, 11, 13..... 중에서 임의로 선택할 수 있다. 블록수가 많아질수록 클럭 주파수는 작아진다. 도6c에서 (a)는 단일블록  $\Delta-\Sigma$  변조기의 타이밍 다이어그램이고, (b)는 4-딜레이 9블록 밴드패스  $\Delta-\Sigma$  변조기의 타이밍 다이어그램이다. 9블록의 경우가 단일블록의 경우보다 클럭주파수는 1/9로 줄어들고, 세틀링 시간이 1/8로 줄어드는 것을 알 수 있다.

<26> 이상에서는 본 발명에 따른 실시예를 중심으로 발명 구성과 작용을 설명하였으나 본 발명의 기술범위가 이에 한정되어 해석되어서는 아니된다. 본 발명의 기술적 범위는 특히 청구범위에 기재된 사항의 합리적 해석에 의해 결정되어야 한다.

### 【발명의 효과】

<27> 스위치드 커패시터로 구현되는 밴드패스  $\Delta-\Sigma$  변조기는 높은 정확성과 신뢰성을 제공하나 클럭 주파수의 제한으로 인하여 높은 IF 주파수 대역에서는 사용되지 못하는 한계가 있었다. 본 발명에 의한 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기에 의하면 클럭 주파수를 획기적으로 줄일 수 있어 높은 IF 주파수 대역의 무선통신 시스템에서 A/D 변환을 직접 수행할 수 있는 효과가 있다. 따라서 무선통신 시스템의 융통성(flexibility)을 증대시키고 비용을 절감할 수 있다.

**【특허청구범위】****【청구항 1】**

제1가산기와 제2가산기 및 비교기를 포함하며, 각각의 클럭 주파수의 위상이 서로 다른 다수의 블록으로 구성되는  $\Delta-\Sigma$  변조기로서,

입력신호는 각 블록의 클럭 주파수에 따라 제1가산기로 입력시키고, n번째 블록의 제1가산기의 출력( $u_n$ )은 (n+2)번째 블록의 제1가산기와 제2가산기로 입력시키고, n번째 블록의 제2가산기의 출력( $v_n$ )은 (n+2)번째 블록의 제2가산기로 입력시키며, n번째 블록의 제2가산기의 출력( $v_n$ )이 비교기를 통과한 출력( $y_n$ )은 (n+2)번째 블록의 제1가산기와 제2가산기로 입력시키는 구성을 취하여 각 블록의 비교기의 출력을 순차적으로 받아들여 최종 출력( $y$ )을 내보내게 됨으로써 아날로그 입력신호를 디지털 신호로 변환하는 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기.

**【청구항 2】**

제1항에 있어서,

상기 블록의 수는 5이상의 홀수 중 어느 하나인 것을 특징으로 하는 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기.

**【청구항 3】**

제1항 또는 제2항에 있어서,

상기 블록의 수를 N이라 하면, n번째 블록과 (n+1)번째 블록의 위상차는 주기의  $1/N$ 인 것을 특징으로 하는 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기.

**【청구항 4】**

제1가산기와 제2가산기 및 비교기를 포함하며, 각각의 클럭 주파수의 위상이 서로 다른 다수의 블록으로 구성되는  $\Delta-\Sigma$  변조기로서,

입력신호는 각 블록의 클럭 주파수에 따라 제1가산기로 입력시키고, n번째 블록의 제1가산기의 출력( $u_n$ )은 (n+4)번째 블록의 제1가산기와 제2가산기로 입력시키고, n번째 블록의 제2가산기의 출력( $v_n$ )은 (n+4)번째 블록의 제2가산기로 입력시키며, n번째 블록의 제2가산기의 출력( $v_n$ )이 비교기를 통과한 출력( $y_n$ )은 (n+4)번째 블록의 제1가산기와 제2가산기로 입력시키는 구성을 취하여 각 블록의 비교기의 출력을 순차적으로 받아들여 최종 출력( $y$ )을 내보내게 됨으로써 아날로그 입력신호를 디지털 신호로 변환하는 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기.

**【청구항 5】**

제4항에 있어서,

상기 블록의 수는 9이상의 홀수 중 어느 하나인 것을 특징으로 하는 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기.

**【청구항 6】**

제4항 또는 제5항에 있어서,

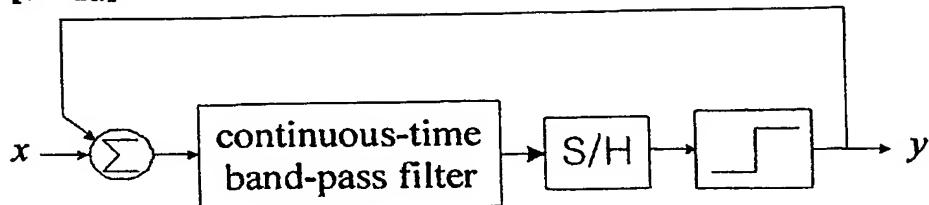
상기 블록의 수를 N이라 하면, n번째 블록과 (n+1)번째 블록의 위상차는 주기의  $1/N$ 인 것을 특징으로 하는 타임-인터리브 밴드패스  $\Delta-\Sigma$  변조기.

1020020048362

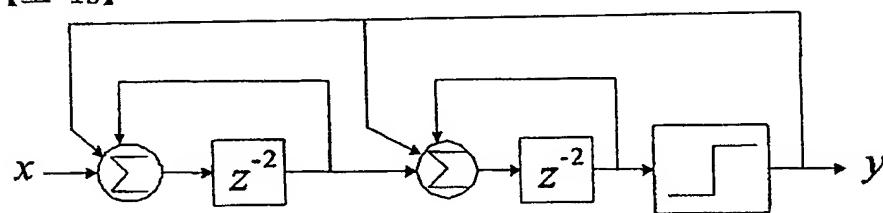
출력 일자: 2002/9/14

## 【도면】

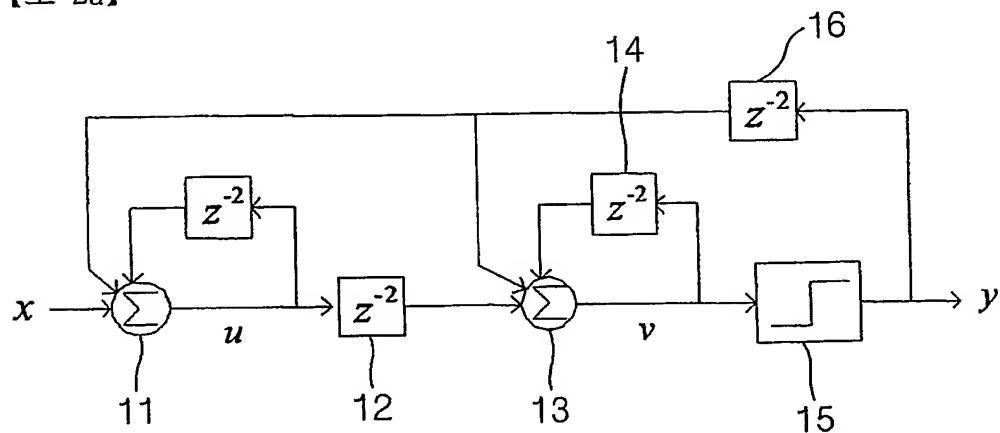
【도 1a】



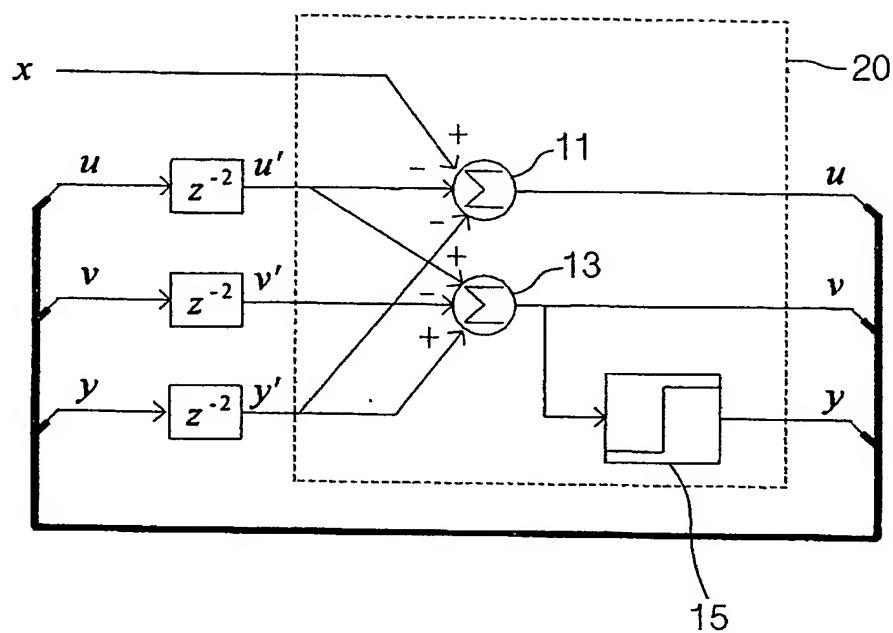
【도 1b】



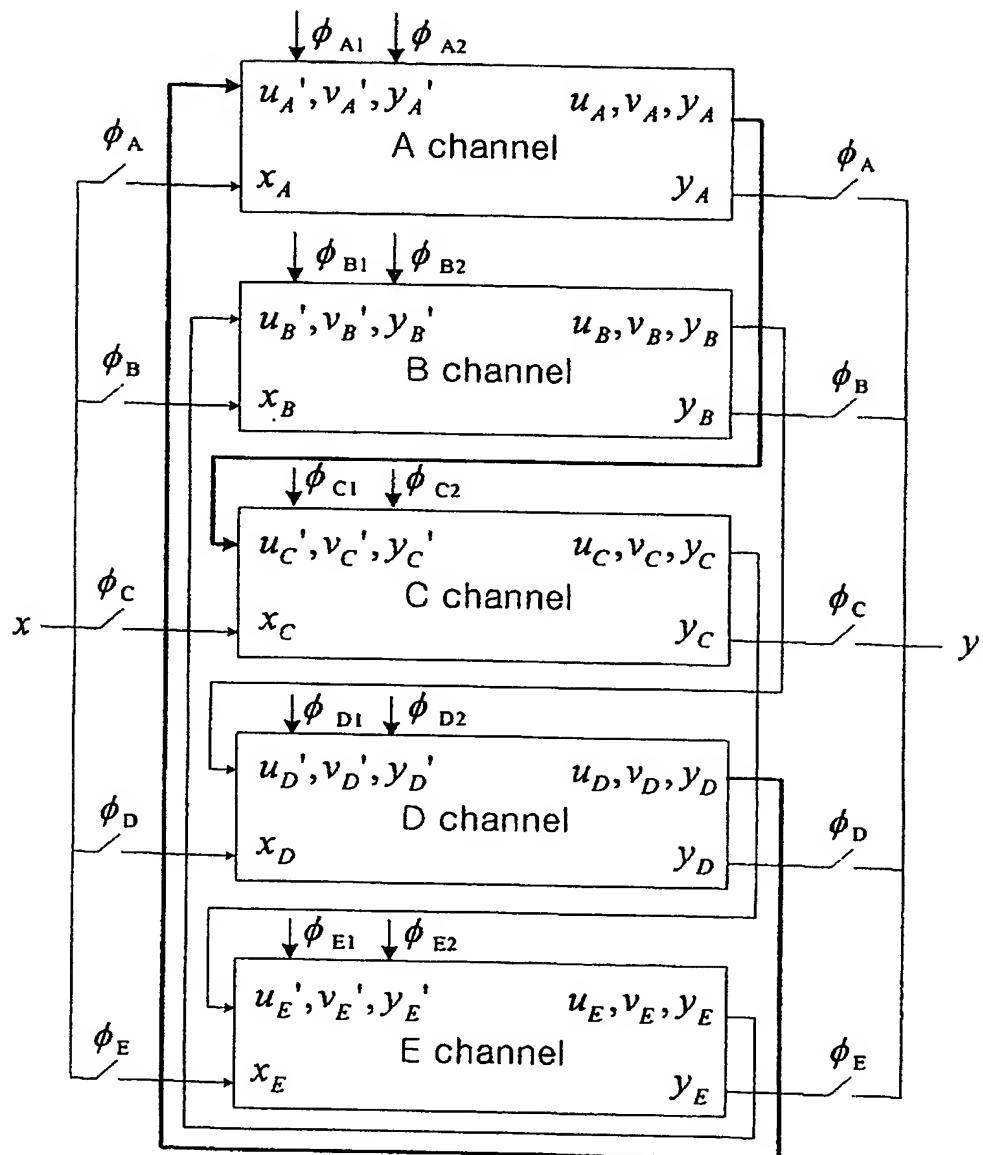
【도 2a】



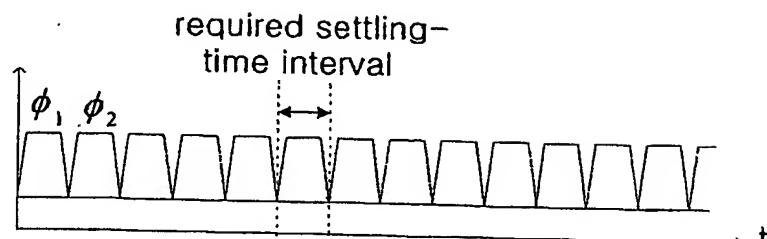
【도 2b】



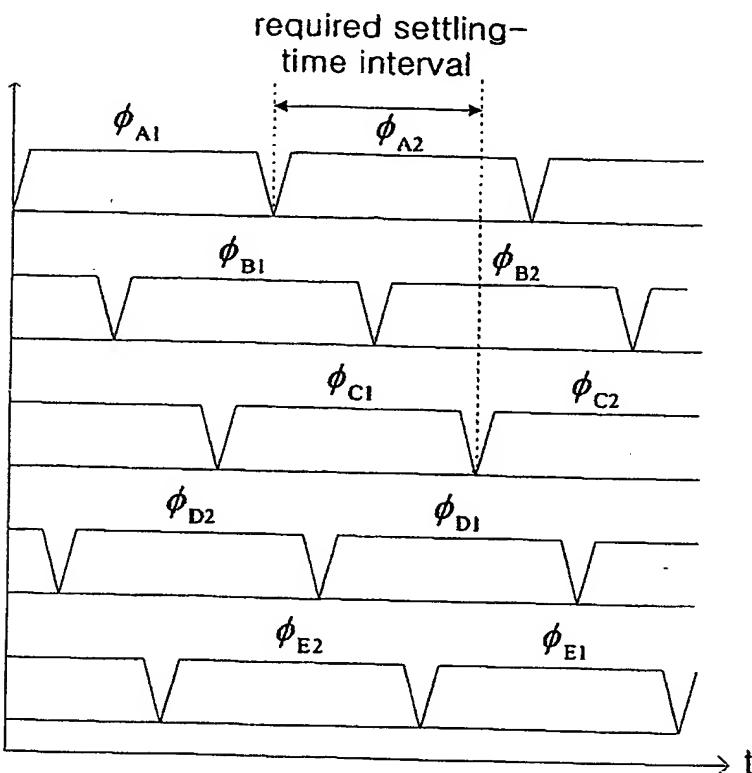
【도 3】



【도 4】

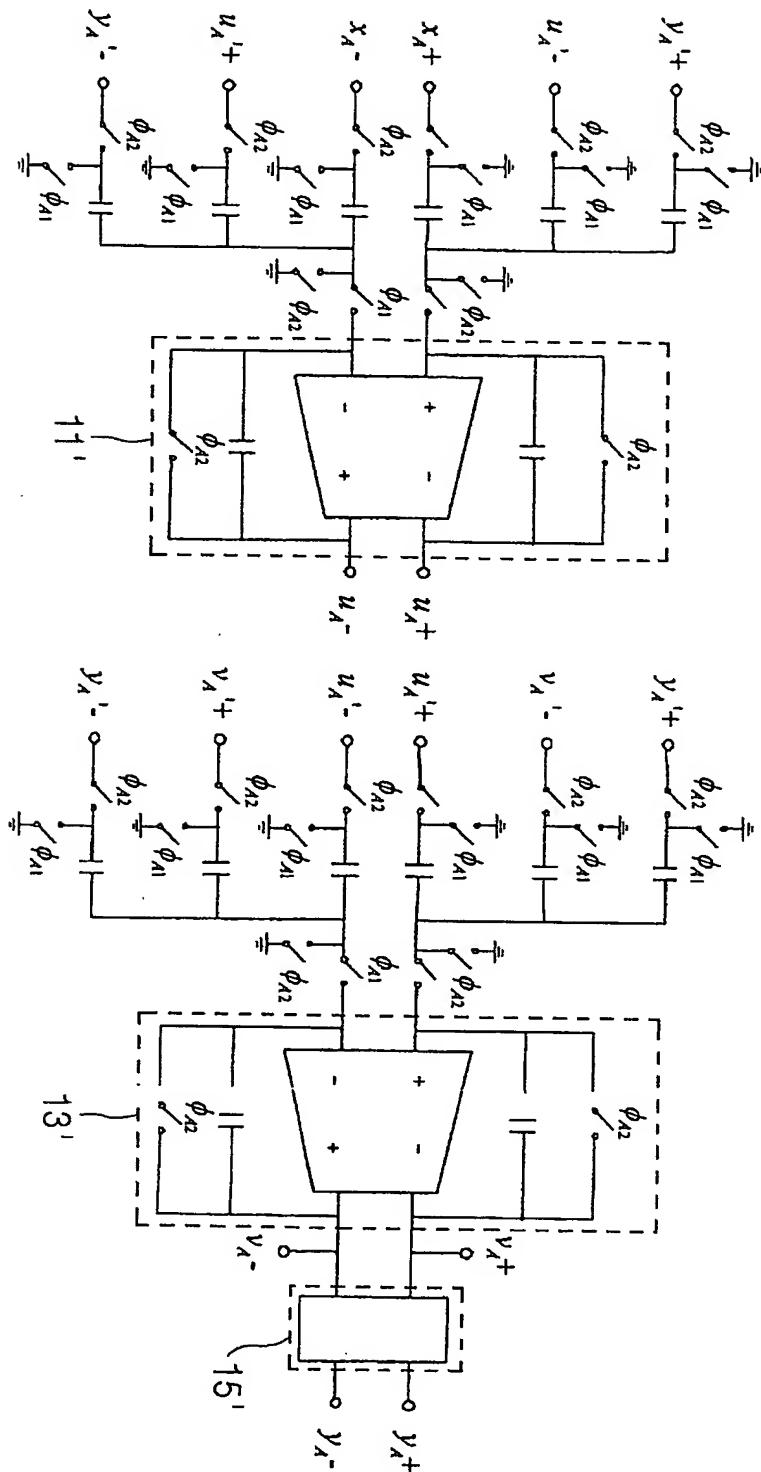


(a)



(b)

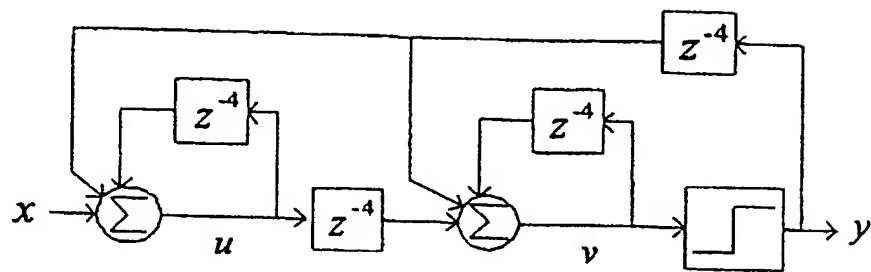
[H] 5



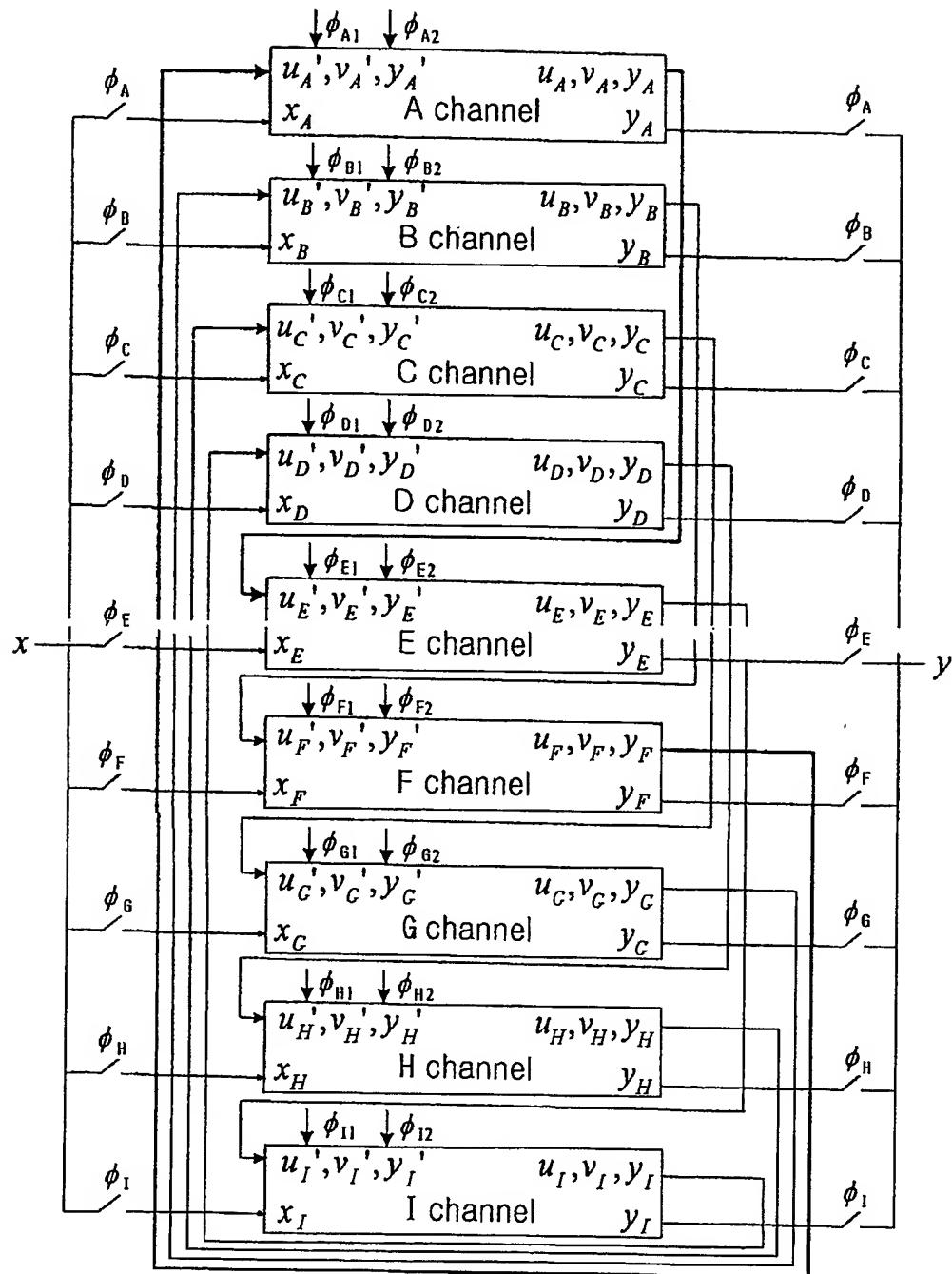
1020020048362

출력 일자: 2002/9/14

【도 6a】



【도 6b】



【도 6c】

